

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.
012353336 **Image available**
WPI Acc No: 1999-159443/199914
XRPX Acc No: N99-116040

Semiconductor integrated circuit manufacturing method - involves forming electrically conductive layer in connection hole formed on layer insulation film covering wiring layer, by applying heat or generating or by light radiation

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11016912	A	19990122	JP 97168707	A	19970625	199914 B

Priority Applications (No Type Date): JP 97168707 A 19970625

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11016912	A	22	H01L-021/3205	

Abstract (Basic): JP 11016912 A

NOVELTY - A semiconductor integrated circuit element is formed on the main surface of a semiconductor base (1). A wiring (14) made of alloys of copper, silver and aluminum is formed on the upper surface of the semiconductor integrated circuit element. A connection hole (17) is formed in a layer insulation film (16) which covers the wiring layer. An electrically conductive layer is formed in the connection hole by applying heat or generating plasma or by light radiation.

USE - None given.

ADVANTAGE - The resistance of the wiring layer is reduced. Improves reliability of operation. DESCRIPTION OF DRAWING(S) - The figure shows sectional view of manufacturing method of semiconductor integrated circuit. (1) Semiconductor base; (14) Wiring; (16) Layer insulation film; (17) Connection hole.

Dwg.14/31

Title Terms: SEMICONDUCTOR; INTEGRATE; CIRCUIT; MANUFACTURE; METHOD; FORMING; ELECTRIC; CONDUCTING; LAYER; CONNECT; HOLE; FORMING; LAYER; INSULATE; FILM; COVER; WIRE; LAYER; APPLY; HEAT; GENERATE; LIGHT; RADIATE

Derwent Class: U11

International Patent Class (Main): H01L-021/3205

International Patent Class (Additional): H01L-021/768

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06075401 **Image available**

MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND MANUFACTURE DEVICE OF SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE

PUB. NO.: 11-016912 [JP 11016912 A]

PUBLISHED: January 22, 1999 (19990122)

INVENTOR(s): SAITO TATSUYUKI

 FUKUDA NAOKI

 OHASHI TADASHI

 YAMAGUCHI HIDE

 OWADA NOBUO

APPLICANT(s): HITACHI LTD

APPL. NO.: 09-168707 [JP 97168707]

FILED: June 25, 1997 (19970625)

INTL CLASS: H01L-021/3205; H01L-021/768

ABSTRACT

PROBLEM TO BE SOLVED: To reduce contact resistance in the connection hole parts of a semiconductor integrated circuit device having wirings, in which Cu and the like are set to be main conduction layers.

SOLUTION: Silicon films are deposited on the wirings 14, where copper is set to be main conduction layers 14a by a sputtering method or a CVD method, and an interlayer insulating film 16 is formed. Connection holes 17 are opened to the interlayer insulating film 16 is prescribed positions by using photographic technology. Oxide layers 23 are formed at the bases of the connection holes 17 after the connection holes 17 are opened by ashing for removing a resist mask used for photolithography or the exposure of atmosphere after the connection holes 17 are opened. Then, the oxide layers 23 are changed into copper by thermal treatment or plasma treatment or the irradiation of ultraviolet rays under a reducing atmosphere of hydrogen or ammonia, so as to dissolve it.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-16912

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁶

H 0 1 L 21/3205
21/768

識別記号

F I

H 0 1 L 21/88

21/90

R

M

B

審査請求 未請求 請求項の数11 O L (全 22 頁)

(21) 出願番号 特願平9-168707

(22) 出願日 平成9年(1997) 6月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 齋藤 達之

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 福田 直樹

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 大橋 直史

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

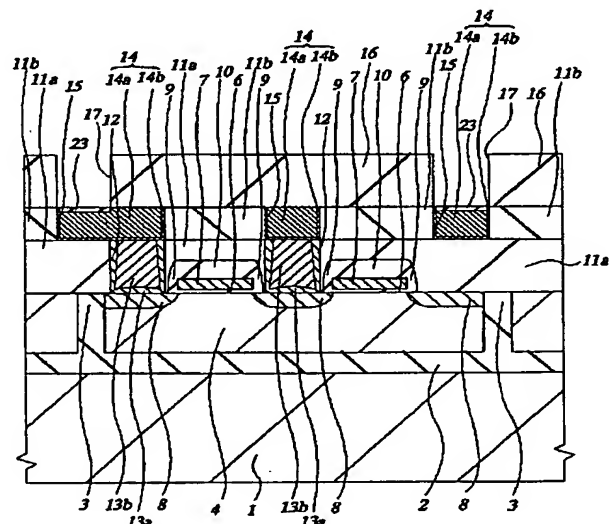
(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置の製造装置

(57) 【要約】

【課題】 Cu等を主導体層とする配線を有する半導体集積回路装置の接続孔部分におけるコンタクト抵抗を低減する。

【解決手段】 銅を主導電層14aとする配線14上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜16を形成する。さらに、所定の位置の層間絶縁膜16に、公知のフォトリソグラフィ技術を用いて接続孔17を開く。この接続孔17の底部には、接続孔17の開孔後にフォトリソグラフィに用いたレジストマスクの除去のためのアッシングにより、あるいは、接続孔17の開孔後の大気雰囲気暴露により、酸化層23が形成される。次に、酸化層23を、水素またはアンモニアの還元雰囲気下で、熱処理、プラズマ処理または紫外線照射して銅に変化させ、これを消失させる。

図 14



14: 配線
14a: 主導電層
16: 層間絶縁膜
17: 接続孔
23: 酸化層

【特許請求の範囲】

【請求項1】 半導体基体の主面上に半導体集積回路素子が形成され、前記半導体集積回路素子の上面に銅、銀もしくはアルミニウムまたはそれらの合金からなる配線を有し、前記配線が複数層形成された多層配線構造を有する半導体集積回路装置の製造方法であって、

(a) 前記配線を覆う層間絶縁膜に接続孔または溝を開く工程、

(b) 前記半導体基体を還元雰囲気中に保持しつつ熱、プラズマまたは光のエネルギーを印加する工程、

(c) 前記接続孔または溝に導電部材を形成する工程、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 半導体基体の主面上に半導体集積回路素子が形成され、前記半導体集積回路素子の上面に銅、銀もしくはアルミニウムまたはそれらの合金からなる配線を有し、前記配線が複数層形成された多層配線構造を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体集積回路素子または前記配線を覆う層間絶縁膜に溝または接続孔を形成し、前記溝または接続孔を含む前記層間絶縁膜の表面に銅、銀もしくはアルミニウムまたはそれらの合金からなる薄膜を堆積した後、前記溝または接続孔を除く前記層間絶縁膜上の前記薄膜を除去して前記配線または前記配線と下層配線とを接続する接続部材を形成する工程、

(b) 前記半導体基体を還元雰囲気中に保持しつつ熱、プラズマまたは光のエネルギーを印加する工程、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 半導体基体の主面上に半導体集積回路素子が形成され、前記半導体集積回路素子の上面に銅、銀もしくはアルミニウムまたはそれらの合金からなる配線を有し、前記配線が複数層形成された多層配線構造を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体集積回路素子または前記配線を覆う層間絶縁膜の上面に銅、銀もしくはアルミニウムまたはそれらの合金からなる薄膜を堆積した後、前記薄膜をパターニングして前記配線を形成する工程、

(b) 前記半導体基体を還元雰囲気中に保持しつつ熱、プラズマまたは光のエネルギーを印加する工程、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項2または3記載の半導体集積回路装置の製造方法であって、

前記(a)工程における前記薄膜は、スパッタ法またはCVD法またはメッキ法により堆積される第1の構成、または、スパッタ法による銅、銀もしくはアルミニウムからなるシード膜上にメッキ法により堆積される第2の構成、のいずれかの構成により堆積されることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置の製造方法であって、前記還元雰囲気は、水素雰囲気またはアンモニア雰囲気とすることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1、2、3、4または5記載の半導体集積回路装置の製造方法であって、

前記(b)工程の前または後に、前記接続孔底部、前記接続部材の上面または前記配線の上面もしくは側面の前記還元雰囲気中に暴露される、または暴露された前記配線部分または前記接続部材部分をプラズマスパッタによりスパッタエッチングする工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1、2、3、4、5または6記載の半導体集積回路装置の製造方法であって、

前記配線には、前記配線をパターニングする際の、または、前記配線上の層間絶縁膜に接続孔または溝を形成する際の露光光の反射を防止する反射防止膜が含まれることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1、2、3、4、5、6または7記載の半導体集積回路装置の製造方法であって、

前記(b)工程の後に、前記半導体基体を加熱し、前記接続孔底部、前記接続部材の上面または前記配線の上面もしくは側面の前記還元雰囲気中に暴露された前記配線部分または前記接続部材部分を再結晶化する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項9】 半導体基体を還元雰囲気中に保持しつつ熱、プラズマまたは光のエネルギーを印加することができる第1の反応室と、金属または金属化合物を堆積することができる第2の反応室とを有する半導体集積回路装置の製造装置であって、

前記第1の反応室と前記第2の反応室とが同一の反応室である第1の構成、

前記第1の反応室と前記第2の反応室とが非酸化性雰囲気または減圧雰囲気で結合された第2の構成、

のいずれかの構成を有することを特徴とする半導体集積回路装置の製造装置。

【請求項10】 請求項9記載の半導体集積回路装置の製造装置であって、

前記半導体集積回路装置の製造装置は、さらにプラズマスパッタにより半導体基体をスパッタエッチングすることができる第3の反応室を有し、

前記第1の反応室と前記第2の反応室と前記第3の反応室とが同一の反応室である第1の構成、

前記第1の反応室と前記第2の反応室と前記第3の反応室とが非酸化性雰囲気または減圧雰囲気で結合された第2の構成、

のいずれかの構成を有することを特徴とする半導体集積回路装置の製造装置。

【請求項11】 半導体基体の主面上に半導体集積回路

素子が形成され、前記半導体集積回路素子の上層に銅、銀もしくはアルミニウムまたはそれらの合金からなる配線を有し、前記配線が複数層形成された多層配線構造を有する半導体集積回路装置の製造方法であって、前記配線を覆う層間絶縁膜に接続孔を開いた後、または、前記配線を形成した後に、前記接続孔または前記配線を有する半導体基体を加熱することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術および半導体集積回路装置に関し、特に、銅を主導電層とする配線を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来、半導体集積回路における配線層の形成は、たとえば、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」、p253～p292に記載されているように、絶縁膜上にアルミニウム(A1)合金またはタングステン(W)などの高融点金属薄膜を成膜した後、フォトリソグラフィ工程により配線用薄膜上に配線パターンと同一形状のレジストパターンを形成し、それをマスクとしてドライエッチング工程により配線パターンを形成していた。

【0003】しかし、このA1合金を用いる方法では配線の微細化に伴い、配線抵抗の増大が顕著となり、それに伴い配線遅延が増加し、半導体集積回路装置の性能が低下する等の問題があった。特に高性能なロジックLSIにおいては、その性能阻害要因として大きな問題が生じている。

【0004】このため、最近では、1993 VMIC (VLSI Multilevel Interconnection Conference) 予稿集、p15～p21に記載されているように、絶縁膜に形成した溝にCuを主導電層とする配線用金属を埋め込んだ後、溝外部の余分な金属を化学機械研磨法(CMP法)を用いて除去することにより溝内に配線パターンを形成する方法が検討されている。

【0005】また、1995 VMIC (VLSI Multilevel Interconnection Conference) 予稿集、p308～p314に記載されているように、Cu膜をスパッタ後基板を熱処理してCuを流動化し、流動化したCuを溝内に移動せしめて溝を埋め込む技術が知られている。

【0006】さらに、公開された技術ではないが、本発明者らにより発明された技術であって、特願平8-254362号として出願されている技術、すなわちCu膜をスパッタ後、Cu膜にボイドが存在したままの状態では基板を熱処理し、溝内にCuを埋め込むと同時に溝内のCuと絶縁膜表面のCu膜とを分断し、絶縁膜表面の余分なCu膜をテープ等で剥離して除去する技術が知られている。

【0007】

【発明が解決しようとする課題】しかし、Cuを主導電層とする配線を用いる半導体集積回路装置の場合、下層の配線に接続するためにその配線層を覆う層間絶縁膜に接続孔を開く際に、接続孔底部の下層配線の表面に酸化膜(酸化銅)が形成される。あるいは、配線をダマシン法あるいはフォトリソグラフィとエッチングを組み合わせたバタニングにより形成した後に、配線の表面あるいは側面に酸化膜が形成される。このような酸化膜は、接続孔を開いた後のレジストのアッシング等の際のオゾンまたは酸素プラズマに暴露されることによる酸化あるいは、接続孔または配線を形成した後に大気雰囲気中に暴露されることによる自然酸化により形成されるものであり、接続孔底部でのコンタクト抵抗の増加、あるいは配線自体の抵抗の増大を引き起こすという問題を生じる。ひいては半導体集積回路装置の高速応答を阻害する等の性能低下の原因ともなり、顕著な場合には動作不良、あるいは信頼性の低下の原因ともなる。

【0008】このような酸化膜を除去する方法として、特殊な酸化銅のエッチングガスを用いたエッチングプロセスを実施し、あるいは、スパッタエッチにより酸化銅を除去する工程を追加することを考えることができる。

【0009】しかし、特殊なエッチングガスを用いる場合には、新規なガスが必要となり、エッチングプロセスおよびエッチング装置が複雑となって好ましくない。また、スパッタエッチにより酸化銅を除去する場合には、酸化銅が接続孔の底部に形成されているときには微細化の進展に伴って接続孔が高アスペクト比化されており、深い接続孔の底部にまでスパッタの効果を及ぼすことが困難となる。すなわち、今後の高度に微細化された半導体集積回路装置においては、スパッタエッチにより接続孔底部の配線表面をクリーニングすることは難しい。

【0010】本発明の目的は、Cu等を主導電層とする配線を有する半導体集積回路装置の接続孔部分におけるコンタクト抵抗を低減することができる技術を提供することにある。

【0011】また、本発明の目的は、Cu等を主導電層とする配線を有する半導体集積回路装置の配線抵抗を低減することができる技術を提供することにある。

【0012】さらに、本発明の目的は、Cu等を主導電層とする配線を有する半導体集積回路装置の動作を確保し、その信頼性の向上を図ること、およびその性能の向上を図ることができる技術を提供することにある。

【0013】また、本発明の目的は、Cu等を主導電層とする配線、あるいは接続孔の形成の際に形成される酸化膜を簡便に除去することができる技術およびそれを実現することができる半導体集積回路装置の製造装置を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかに

なるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】(1) 本発明の半導体集積回路装置の製造方法は、半導体基体の主面上に半導体集積回路素子が形成され、その上層に銅、銀もしくはアルミニウムまたはそれらの合金からなる配線を有し、配線が複数層形成された多層配線構造を有する半導体集積回路装置の製造方法であって、(a) 配線を覆う層間絶縁膜に接続孔または溝を開口する工程、(b) 半導体基体を還元雰囲気中に保持しつつ熱、プラズマまたは光のエネルギーを印加する工程、(c) 接続孔または溝に導電部材を形成する工程、を有するものである。

【0017】このような半導体集積回路装置の製造方法によれば、配線を覆う層間絶縁膜にたとえば接続孔を開口した後に半導体基体を還元雰囲気中に保持しつつ熱、プラズマまたは光のエネルギーを印加するため、接続孔の開口の際に形成された接続孔底部の配線表面の酸化膜（酸化銅）を除去することができる。そのため、その後接続孔にプラグ等の導電部材を形成しても、高抵抗体である酸化銅によりコンタクト抵抗を増加することがなく、半導体集積回路装置の所定の性能を保持し、また、信頼性を向上することが可能である。

【0018】すなわち、配線を覆う層間絶縁膜に接続孔を開口した際に、接続孔底部の配線表面に高抵抗体である酸化銅（CuO等）が形成されるが、本発明では、酸化銅が還元され、銅に変化するため、コンタクト抵抗を増加することがない。

【0019】なお、還元雰囲気において熱エネルギーを加えることにより、還元反応を促進することができ、プラズマエネルギーを加えることにより、たとえば水素ラジカルを生成して水素ラジカルの反応性により還元反応を促進することができる。さらに、光エネルギーを加えることにより、還元雰囲気のガスを励起して反応性を高め、たとえば水素あるいはアンモニウムラジカルを生成して、還元反応を促進することができる。

【0020】また、プラズマエネルギーを加える場合には、プラズマの自己バイアスの効果等によりスパッタリングの作用が同時に及ぼされ、ラジカルによる化学的な作用に加えてスパッタリング（ボンバードメント）の物理的作用もおよび、両作用の相乗効果によりさらに還元反応を促進することが可能となる。

【0021】なお、このような製造方法では、プラズマエネルギーを加える場合を除きスパッタ等の作用を伴わないため、アスペクト比の高い接続孔の底部をも確実に還元作用を及ぼすことが可能であり、今後の微細化の進展に対しても有利に作用する。また、スパッタ等の作用を伴わないため、接続孔の形状を変化させることがなく、

微細加工に容易に対処することも可能である。さらに、スパッタ等によりエッチングされた被エッチ物が接続孔底部に再付着することなく、これらの再付着物によるコンタクト不良を発生させることもない。また、接続孔底部の配線は、還元されるのみで、スパッタによりエッチングされるわけではないので、配線を構成する銅原子等が減少することなく、配線の堆積が減少するような不具合も発生することがない。プラズマエネルギーを加える場合であっても、スパッタリングの作用を低く抑え、化学的作用を強く及ぼす条件で処理する場合には、上記効果を同様に得ることが可能である。このような条件は、一般に、高い処理圧力および低い投入電力により実現することが可能である。

【0022】(2) また、本発明の半導体集積回路装置の製造方法は、半導体基体の主面上に半導体集積回路素子が形成され、その上層に銅、銀もしくはアルミニウムまたはそれらの合金からなる配線を有し、配線が複数層形成された多層配線構造を有する半導体集積回路装置の製造方法であって、(a) 半導体集積回路素子または配線を覆う層間絶縁膜に溝または接続孔を形成し、溝または接続孔を含む層間絶縁膜の表面に銅、銀もしくはアルミニウムまたはそれらの合金からなる薄膜を堆積した後、溝または接続孔を除く層間絶縁膜上の薄膜を除去して配線または配線と下層配線とを接続する接続部材を形成する工程、(b) 半導体基体を還元雰囲気中に保持しつつ熱、プラズマまたは光のエネルギーを印加する工程、を有するものである。

【0023】このような半導体集積回路装置の製造方法によれば、前記(1)に記載した接続孔の底部のみならず、配線あるいは接続部材をいわゆるダマシン法を用いて形成した場合の配線あるいは接続部材の表面に形成された酸化膜（酸化銅）の除去を行うことも可能である。この結果、配線あるいは接続部材の表面に形成される酸化膜の影響で配線あるいは接続部材の抵抗値が上昇することなく、半導体集積回路装置の性能を向上することが可能である。今後、半導体集積回路装置の微細化が進展し、配線あるいは接続部材の膜厚が減少するときには、酸化膜の影響が相対的に大きくなる状況にあり、このような対策を施す効果がより顕著となる。

【0024】(3) また、本発明の半導体集積回路装置の製造方法は、半導体基体の主面上に半導体集積回路素子が形成され、その上層に銅、銀もしくはアルミニウムまたはそれらの合金からなる配線を有し、配線が複数層形成された多層配線構造を有する半導体集積回路装置の製造方法であって、(a) 半導体集積回路素子または配線を覆う層間絶縁膜の上面に銅、銀もしくはアルミニウムまたはそれらの合金からなる薄膜を堆積した後、薄膜をパターニングして配線を形成する工程、(b) 半導体基体を還元雰囲気中に保持しつつ熱、プラズマまたは光のエネルギーを印加する工程、を有するものである。

【0025】このような半導体集積回路装置の製造方法によれば、前記(1)および(2)に記載した場合のみならず、層間絶縁膜上に配線をパターンニングした場合に生成される酸化膜の除去を行うことも可能である。この結果、(2)に記載したと同様に、酸化膜に起因する配線の抵抗上昇を抑制し、半導体集積回路装置の性能を向上することが可能である。

【0026】(4)なお、前記薄膜は、スパッタ法またはCVD法あるいはメッキ法により堆積されてもよく、または、スパッタ法による銅、銀もしくはアルミニウムからなるシード膜を形成した後に、そのシード膜上にメッキ法により堆積されてもよい。このようにスパッタ法またはCVD法を用いて薄膜を形成することにより、従来確立されたプロセスを用いて安定的に半導体集積回路装置を製造することができ、また、メッキ法を用いた場合にはプロセスを簡便化して製造コストを低減することが可能である。

【0027】なお、前記の薄膜を堆積する前にバリアメタルを形成して、その薄膜を構成する金属等原子の層間絶縁膜への拡散を防止することができる。また、拡散を防止するためには、バリアメタルに限られず、層間絶縁膜の改質等により、金属等原子の侵入を防止してもよい。

【0028】(5)また、前記還元雰囲気は、水素雰囲気またはアンモニア雰囲気とすることができる。このように、水素雰囲気またはアンモニア雰囲気とすることにより特別なガスを使用することなく配線を還元することが可能となり、プロセスの容易化と製造装置の簡便化を図ることが可能となる。

【0029】(6)また、前記製造方法において、前記(b)工程の前または後に、接続孔底部、接続部材の上面または前記配線の上面もしくは側面の還元雰囲気に暴露される、または暴露された配線部分または接続部材部分をプラズマスパッタによりスパッタエッチングする工程を含むことができる。

【0030】このように、還元雰囲気に暴露された配線部分または接続部材部分、つまり配線または接続部材の酸化膜が除去された部分に、さらにスパッタエッチングを施すことにより、さらにコンタクト抵抗の低減、または配線の抵抗値の低減を確実なものとすることができる。すなわち、接続孔の底部あるいは配線の表面、側面に不純物が存在する場合には、この不純物が接続孔のコンタクト抵抗を上昇し、または、配線の抵抗値を上昇する原因となると考えられるが、スパッタエッチングによりこの不純物を除去することができ、コンタクト抵抗の低減、または配線の抵抗値の低減を図ることができる。

【0031】(7)なお、前記配線には、前記配線をパターンニングする際の、または、前記配線上の層間絶縁膜に接続孔または溝を形成する際の露光光の反射を防止する反射防止膜が含まれる。反射防止膜は、窒化チタン

(TiN)等の他、銅等の合金により構成することが可能である。

【0032】(8)また、前記製造方法において、前記(b)工程の後に、半導体基体を加熱し、接続孔底部、接続部材の上面または配線の上面もしくは側面の還元雰囲気に暴露された配線部分または接続部材部分を再結晶化する工程を含むことができる。このように、還元雰囲気に暴露された部分、つまり、酸化膜が除去された部分を加熱により再結晶化することにより、接続孔のコンタクト抵抗または配線の抵抗値を低減することが可能である。すなわち、配線または接続部材の還元により酸化膜が除去された部分は、酸化膜のうち酸素原子が取り除かれ、たとえば銅で構成される場合には、銅がポーラスとなっている可能性のあるものである。このようなポーラスな部分は、コンタクト抵抗を上昇し、あるいは、配線の抵抗値を上昇する可能性のあるものであるが、本発明では加熱により配線あるいは接続部材を流動化し、再結晶化するため、ポーラス部分をなくすことが可能である。この結果、コンタクト抵抗を上昇し、あるいは、配線の抵抗値を上昇を抑制することが可能である。なお、加熱温度の具体例としては、たとえば、銅を350℃の水素雰囲気中で還元する場合には、さらに100℃上昇させ、450℃で処理する方法を例示することができる。さらに、本方法によると、CMP法による配線形成時に、配線表面に形成される研磨傷を部材の流動化により軽減あるいはなくすことが可能である。

【0033】(9)本発明の半導体集積回路装置の製造装置は、半導体基体を還元雰囲気に保持しつつ熱、プラズマまたは光のエネルギーを印加することができる第1の反応室と、金属または金属化合物を堆積することができる第2の反応室とを有する半導体集積回路装置の製造装置であって、第1の反応室と前記第2の反応室とを同一の反応室とするもの、あるいは、第1の反応室と第2の反応室とを非酸化性雰囲気または減圧雰囲気で結合するものとすることができる。

【0034】このような半導体集積回路装置の製造装置によれば、第1の反応室と前記第2の反応室とが同一の反応室、あるいは、第1の反応室と第2の反応室とが非酸化性雰囲気または減圧雰囲気で結合されているため、接続孔底部あるいは配線の表面または側面の酸化膜を除去した後に、その部分を酸化させることなく金属または金属化合物を堆積することができる。これにより、接続孔のコンタクト抵抗を低減し、配線の抵抗値を低減して、半導体集積回路装置の性能の向上と、信頼性の向上とを図ることが可能である。

【0035】(10)なお、本発明の製造装置は、さらにプラズマスパッタにより半導体基体をスパッタエッチングすることができる第3の反応室を有し、第1の反応室と第2の反応室と第3の反応室とを同一の反応室とするもの、あるいは、第1の反応室と第2の反応室と第3

の反応室とを非酸化性雰囲気または減圧雰囲気で結合するものとすることもできる。このように、スパッタエッチングすることができる第3の反応室を備えることにより、さらに接続孔底部あるいは配線の表面または側面の不純物を除去し、よりいっそうの接続孔のコンタクト抵抗の低減および配線の抵抗値の低減を図ることが可能となる。しかも、これらの反応室は、同一反応室あるいは非酸化性雰囲気または減圧雰囲気で結合されているため、その工程の途中において接続孔底部あるいは配線の表面または側面が酸化されることがない。

【0036】(11)本発明の半導体集積回路装置の製造方法は、半導体基体の主面上に半導体集積回路素子が形成され、その上層に銅、銀もしくはアルミニウムまたはそれらの合金からなる配線を有し、配線が複数層形成された多層配線構造を有する半導体集積回路装置の製造方法であって、配線を覆う層間絶縁膜に接続孔を開孔した後、または、配線を形成した後に、接続孔または配線を有する半導体基体を加熱するものである。このような半導体集積回路装置の製造方法によれば、接続孔の底部あるいは配線の表面または側面に酸化膜が形成されていても、半導体基体の加熱により、酸化銅(CuO等)の酸素原子のみが除去され、コンタクト抵抗の上昇または配線の抵抗値の上昇を抑制することができる。すなわち、酸化銅(CuO等)の酸素は、ある程度の蒸気圧を有するものであり、加熱により酸化銅(CuO等)から銅に変化させることが可能である。このような加熱は、不活性雰囲気でも行うことができるが、減圧下で行うことが好ましい。

【0037】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0038】(実施の形態1)図1は、本発明の一実施の形態である半導体集積回路装置の製造方法を適用して製造される半導体集積回路装置の一例を示した断面図である。

【0039】本実施の形態1の半導体集積回路装置は、SOI絶縁層2およびU溝素子分離領域3を有する半導体基板1のpウェル4にn形MISFETQnが形成されたものである。SOI絶縁層2、U溝素子分離領域3は、たとえばシリコン酸化膜を例示することができる。

【0040】n形MISFETQnは、半導体基板1の主面上にたとえば数nmの膜厚を有するシリコン酸化膜からなるゲート絶縁膜6を介して形成され、たとえば低抵抗多結晶シリコン膜からなるゲート電極7と、ゲート電極7の両側の半導体基板1の主面に形成された不純物半導体領域8とを有するものであり、ゲート電極7の側面および上面にはサイドウォールスペーサ9およびキャップ絶縁膜10がそれぞれ形成されている。

【0041】不純物半導体領域8は、n形MISFETQnのソース・ドレイン領域として機能するものである。ゲート電極7および不純物半導体領域8の上部にWSix、MoSix、TiSix、TaSixなどの高融点金属シリサイド膜を積層したシリサイド膜で構成してもよい。サイドウォールスペーサ9およびキャップ絶縁膜10は、たとえばシリコン酸化膜あるいはシリコン窒化膜とすることができ、シリコン窒化膜を用いる場合には、そのシリコン窒化膜からなるサイドウォールスペーサ9およびキャップ絶縁膜10をマスクとして用い、後に説明する層間絶縁膜に自己整合的に接続孔を開孔することができる。

【0042】半導体基板1およびn形MISFETQnの上面には層間絶縁膜11aが形成されている。層間絶縁膜11aとして、BPSG膜またはPSG膜等のリフロー膜を用いることができるが、層間絶縁膜11aの下部もしくは上部にCVD法またはスパッタ法により形成されたシリコン酸化膜との積層膜とすることもできる。不純物半導体領域8上の層間絶縁膜11aには接続孔12が設けられ、接続孔12には、たとえばスパッタ法により形成されたタングステン膜13a、およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタングステンからなる金属プラグ13bが形成されている。

【0043】層間絶縁膜11aの上層には、層間絶縁膜11bが形成され、配線14が層間絶縁膜11bに形成された配線溝15内に形成されている。

【0044】配線14は、主導電層14aと窒化チタン膜14bとからなる。主導電層14aは、たとえば銅を例示することができるが、銀もしくはアルミニウムまたはそれらの合金であってもよい。これら低抵抗率の低い材料を主な導電層とすることにより配線14の微細化に伴う配線抵抗の上昇を抑制することができる。これにより半導体集積回路装置の高性能化を達成することができる。窒化チタン膜14bは、主導電層14aを構成する材料たとえば銅の拡散を防止するブロッキング膜として作用させることができ、窒化チタン膜の他、たとえば、窒化タンタル膜、窒化タングステン膜、スパッタタングステン膜、あるいはこれらのシリコンとの化合物とすることもできる。

【0045】配線14および層間絶縁膜11bの上面には層間絶縁膜16が形成されている。層間絶縁膜16として、CVD法またはスパッタ法により形成されたシリコン酸化膜を例示することができる。また、配線14上の層間絶縁膜16には接続孔17が設けられ、接続孔17には接続孔12と同様に、たとえばスパッタ法により形成されたタングステン膜18a、およびたとえばブランケットCVD法あるいは選択CVD法により形成されたタングステンからなる金属プラグ18bが形成されている。

【0046】なお、接続孔17の底部のタングステン膜18aと配線14との界面には、配線14を構成するたとえば銅の酸化物である酸化銅は形成されていない。これは後に説明するように接続孔17の開口後に接続孔17の底部の配線14の表面に形成された酸化膜を還元して消失させるためであり、これにより、接続孔17でのコンタクト抵抗を低減し、また電氣的接続の信頼性を向上することが可能である。この結果、半導体集積回路装置の性能および信頼性を向上することができる。

【0047】層間絶縁膜16の上層には、層間絶縁膜19が形成され、配線20が層間絶縁膜19に形成された配線溝21内に形成されている。

【0048】配線20は配線14と同様に、主導電層20aと窒化チタン膜20bとからなる。主導電層20aは、たとえば銅を例示することができるが、銀もしくはアルミニウムまたはそれらの合金であってもよい。これら低抵抗率の低い材料を主な導電層とすることにより配線20の微細化に伴う配線抵抗の上昇を抑制することができる。これにより半導体集積回路装置の高性能化を達成することができる。窒化チタン膜20bは、主導電層20aを構成する材料たとえば銅の拡散を防止するブロッキング膜として作用させることができ、窒化チタン膜の他、窒化タンタル膜、窒化タングステン膜、スパッタタングステン膜、あるいはこれらのシリコンとの化合物とすることもできる。

【0049】なお、配線14あるいは配線20の表面には酸化膜が形成されていない。これは、後に説明する配線14あるいは配線20のたとえばCMP法による形成後、その表面に生成された酸化膜を還元して消失させるためであり、これにより、配線14あるいは配線20の抵抗を低減することが可能である。この結果、半導体集積回路装置の性能を向上することができる。

【0050】また、本実施の形態1では、配線層が2層の場合を例示しているが、層間絶縁膜16、19および配線20と同様な層間絶縁膜および配線をさらに多層に構成して3層以上の多層配線構造を有する半導体集積回路装置とすることも可能である。

【0051】次に、上記した半導体集積回路装置の製造方法を図に従って説明する。図2～図18は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0052】まず、高濃度酸素注入法等により形成されたSOI絶縁層2を有するp⁻形の単結晶シリコンからなる半導体基板1を用意し、p形の導電形にするための不純物、たとえばボロンをイオン注入等によりドーピングしてpウェル4を形成する。pウェル4は、高濃度酸素注入法におけるエピタキシャル成長時に不純物ガスを混入し、ドーピングを行ってもよい。

【0053】次に、半導体基板1の主面に、SOI絶縁層2に達するU溝形成し、その後たとえばシリコン酸化

膜を堆積した後CMP法等を用いて余分なシリコン酸化膜を除去して、前記U溝にシリコン酸化膜を埋め込み、U溝案子分離領域3を形成する(図2)。

【0054】次に、半導体基板1の主面上にゲート絶縁膜6となるシリコン酸化膜、ゲート電極7となる多結晶シリコン膜およびキャップ絶縁膜10となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターンニングされたレジストをマスクとして前記積層膜をエッチングし、ゲート絶縁膜6、ゲート電極7およびキャップ絶縁膜10を形成する(図3)。ゲート絶縁膜6はたとえば熱CVD法により堆積することができ、ゲート電極7はCVD法により形成することができるが、その抵抗値を低減するためにn形の不純物(例えばP)をドーピングしてもよい。なお、ゲート電極7の上部にWSix、MoSix、TiSix、TaSixなどの高融点金属シリサイド膜を積層してもよい。キャップ絶縁膜10はたとえばCVD法により堆積することができる。

【0055】次に、半導体基板1上にCVD法で酸化シリコン膜を堆積した後、反応性イオンエッチング(RIE)法でこの酸化シリコン膜を異方性エッチングすることにより、ゲート電極7の側壁にサイドウォールスペーサ9を形成し、n形不純物(リン)をイオン注入してゲート電極7の両側のpウェル4にn形MISFETQnのソース、ドレイン領域を構成する不純物半導体領域8を形成する(図4)。なお、サイドウォールスペーサ9の形成前に低濃度の不純物半導体領域を形成し、サイドウォールスペーサ9の形成後に高濃度の不純物半導体領域を形成してもよい。

【0056】次に、半導体基板1上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜11aを形成する。さらに、半導体基板1の主面の不純物半導体領域8上の層間絶縁膜11aに、公知のフォトリソグラフィ技術を用いて接続孔12を開孔する(図5)。

【0057】次に、スパッタ法によりタングステン膜13aを堆積し(図6)、さらにブランケットCVD法によりタングステン膜13cを堆積する(図7)。

【0058】次に、接続孔12以外の層間絶縁膜11a上のタングステン膜13cおよびタングステン膜13aをCMP法により研磨して除去し、金属プラグ13bを形成する(図8)。

【0059】次に、スパッタ法またはCVD法で酸化シリコン膜を堆積して層間絶縁膜11bを形成し、さらに公知のフォトリソグラフィ技術およびエッチング技術を用いて加工し、配線溝15を形成する(図9)。なお、ここでは、スパッタ法またはCVD法で形成されたシリコン酸化膜を例示しているが、SOG等の塗布膜、有機膜、フッ素を添加したCVDシリコン酸化膜、シリコン窒化膜、その他複数種の絶縁膜を積層した多層膜であってもよい。また、配線溝15は後に配線材料を埋め込ん

で配線14としたい領域に形成される。なお、本実施の形態1では、金属プラグ13を形成した後に配線溝15を形成しているが、接続孔12を開口した後に配線溝15を形成し、その後金属プラグ13を形成してもよい。【0060】次に、半導体基板1の全面に配線14の窒化チタン膜14bとなる窒化チタン膜14bを堆積する(図10)。窒化チタン膜14bは、たとえばCVD法あるいはスパッタ法により堆積することができる。窒化チタン膜14bの堆積は、後に説明する銅膜の密着性の向上および銅の拡散防止のために行うものである。なお、本実施の形態1では窒化チタン膜を例示するが、タンタル等の金属膜あるいは窒化タンタル膜等であってもよい。また、次工程である主導電層14aの堆積直前に窒化チタン膜14bの表面をスパッタエッチすることも可能である。このようなスパッタエッチにより、窒化チタン膜14bの表面に吸着した水、酸素分子等を除去し、主導電層14aの接着性を改善することができる。特に、窒化チタン膜14bの堆積後、真空破壊して表面を大気に曝し、その主導電層14aを堆積する場合に効果大きい。

【0061】次に主導電層14aとなる金属、たとえば銅の薄膜を堆積し、これを熱処理して流動化し、配線溝15に良好に埋め込まれた主導電層14aを形成する(図11)。銅膜の堆積は、通常スパッタ法を用いることができるが、蒸着法等の物理的气相成長法を用いてもよい。また、熱処理の条件は、主導電層14aを構成する銅が流動化する温度および時間を必要とし、たとえば、350℃～400℃、3分～5分を例示することができる。

【0062】次に、層間絶縁膜11b上の余分な窒化チタン膜14bおよび主導電層14aを除去し、配線14を構成する主導電層14aおよび窒化チタン膜14bを形成する(図12)。窒化チタン膜14bおよび主導電層14aの除去は、たとえばCMP法を例示することができるが、エッチバック法を用いてもよい。なお、この配線14の形成の際に、たとえばCMP法を用いた場合には、その工程は大気雰囲気で行われるものであり、銅が露出した配線14の表面は大気雰囲気に曝され、酸化される。この結果、配線14の表面に酸化層(酸化銅)22が生成される。この酸化層22は、高抵抗体であり、このまま放置した場合には、配線14の抵抗値を増加させ、また、後に説明する上層配線との電気的接続に不良が発生し、半導体集積回路装置の性能の低下と信頼性の低下を来す原因となる。しかし、本実施の形態1では、次に説明する工程において、酸化層22を還元し、銅に変化させるため、このような不具合が発生することはない。

【0063】次に、酸化層22を還元して銅に変化させ、これを消失させる(図13)。還元反応は、半導体基板1を還元雰囲気に保持し、熱、プラズマまたは光の

エネルギーを印加して行う。還元雰囲気としては水素雰囲気あるいはアンモニア雰囲気を例示することができる。また、還元雰囲気は、常圧あるいは減圧とすることができる。このような還元雰囲気において、同時に熱、プラズマまたは光のエネルギーを加えることにより水素あるいはアンモニアを活性化し、反応性を高めて還元反応を促進することができる。また、熱、プラズマまたは光のエネルギーを加えることにより水素ラジカルの生成を促し、この水素ラジカルに酸化層22が暴露されることにより還元反応を促進することができる。

【0064】熱エネルギーの印加は、半導体基板1を加熱することにより行うことができ、たとえば、水素あるいはアンモニア雰囲気下での350℃程度の熱処理を例示することができる。また、プラズマエネルギーの印加は、水素あるいはアンモニア、またはこれらのガスとアルゴン等の希ガスとの混合ガスの減圧下におけるグロー放電により行うことができる。さらに、光エネルギーの印加は、水素あるいはアンモニア雰囲気下での紫外線の照射により行うことができる。紫外線は、たとえば低圧水銀ランプあるいはエキシマレーザ等の遠紫外線を用いることが好ましく、また、酸化層22に直接照射されるようにすることが好ましい。

【0065】また、半導体基板1を還元雰囲気に置かず、非酸化雰囲気において単に加熱処理を施すのみであっても酸化層22中の酸素原子のみが除去され、酸化層22を銅に変化させることができる。これは、酸化銅にある程度の蒸気圧が存在し、特に減圧下においては酸素が解離する可能性があるためと考えられる。もっとも、酸素原子の除去効果は還元雰囲気下で熱処理を行う方が大きいと考えられる。

【0066】このように本実施の形態1では酸化層22を除去することができるため、配線14の抵抗値を低減し、半導体集積回路装置の性能を向上することが可能である。しかも、上記酸化層22の除去は、エッチング作用による除去ではなく、酸化層22の還元による銅への変化であり、堆積減少を伴うものではない。このため、このような還元処理を行っても配線14の膜厚が減少することはない、抵抗値を低減するものではない。

【0067】なお、プラズマエネルギーを印加して酸化層22の酸素を除去する場合には、プラズマの自己バイアスを利用したスパッタ作用を併用することができる。この場合には酸化層22の酸素を除去して還元反応を促進するのみならず、酸化層22あるいは配線14に付着した不純物をも除去することが可能である。これにより不純物に起因する配線14の抵抗値の上昇を抑制し、半導体集積回路装置の性能を向上することができる。

【0068】また、酸化層22の還元と同時に、または還元を行った後に、半導体基板1を加熱し、配線14の銅を流動化して再結晶化させることができる。これは、還元後の配線14の表面は、幾分かポーラスになってい

る可能性があり、これを再結晶化により解消して配線14の抵抗値の上昇を抑制することができる。また、ポーラス状態の解消は、再度の酸化を抑制する効果も有する。さらに本方法によるとCMP法による配線形成時に配線表面に形成される研磨傷を部材の流動化により軽減もしくは解消することができる。

【0069】なお、図示はしないが、配線14の表面には、反射防止膜となる金属層が形成されていてもよい。

【0070】次に、半導体基板1上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜16を形成する。なお、ここではスパッタ法またはCVD法で形成されたシリコン酸化膜を例示しているが、SOG等の塗布膜、有機膜、フッ素を添加したCVDシリコン酸化膜、シリコン窒化膜、その他複数種の絶縁膜を積層した多層膜であってもよい。さらに、所定の位置の層間絶縁膜16に、公知のフォトリソグラフィ技術を用いて接続孔17を開口する(図14)。この接続孔17の底部には、接続孔17の開孔後にフォトリソグラフィに用いたレジストマスクの除去のためのアッシングにより、あるいは、接続孔17の開孔後の大気雰囲気暴露により、酸化層23が形成される。この酸化層23は、酸化層22と同様に高抵抗体であり、これをそのまま放置すれば、後に説明する金属プラグとの電気的接続が不良となり、半導体集積回路装置の正常な動作の確保ができず、また、信頼性の低下を来す原因となる。

【0071】したがって、前記配線14の表面に形成された酸化層22と同様に、酸化層23を還元して銅に変化させ、これを消失させる(図15)。還元反応は、酸化層22の場合と同様であるため詳細な説明を省略する。

【0072】このように、このように本実施の形態1では酸化層23を除去することができるため、接続孔17の底部での電気的接続を確実に行うことができ、半導体集積回路装置の正常な動作を確保し、その信頼性と性能を向上することが可能である。しかも、上記酸化層23の除去は、エッチング作用による除去ではなく、酸化層23の還元による銅への変化であり、堆積減少を伴うものではない。このため、このような還元処理を行っても配線14の膜厚が減少することはなく、抵抗値を低減するものではない。また、エッチング作用を伴わないため、接続孔17の形状を変化させることがない。これはより精密な微細加工が要求される今後の技術の要求の方向に合致したものであり、半導体集積回路装置の高集積化を容易にする技術の1つであるという効果もある。さらに、接続孔17の側壁がスパッタされて、接続孔17の底部へのスパッタ物の再付着がない。これは、電気的接続の信頼性を低下させる原因になる可能性があるスパッタによる再付着物を発生しないこととなり、半導体集積回路装置の信頼性をより向上させることができることとなる。

【0073】なお、プラズマエネルギーを印加して酸化層23の酸素を除去する場合には、プラズマの自己バイアスを利用したスパッタ作用を併用することができる。この場合には酸化層23の酸素を除去して還元反応を促進するのみならず、接続孔17の底部の不純物をも除去することが可能である。これにより不純物に起因する電気的接続の信頼性の低下を抑制し、半導体集積回路装置の信頼性を向上することができる。

【0074】また、スパッタは、還元により酸化層23を消失させる前、または消失させた後にも行うことができる。これにより不純物を除去して半導体集積回路装置の信頼性を向上することができることは上記の効果と同様である。

【0075】また、酸化層23の還元を行った後に、半導体基板1を加熱し、接続孔17の底部の配線14の銅を流動化して再結晶化させることができる。これは、還元後の配線14の表面は、幾分かポーラスになっている可能性があり、これを再結晶化により解消して電気的接続信頼性の低減を抑制することができる。また、ポーラス状態の解消は、再度の酸化を抑制する効果も有する。

【0076】次に、スパッタ法によりタングステン膜18aを堆積し(図16)、さらにブランケットCVD法によりタングステン膜18cを堆積する(図17)。なお、タングステン膜18aの堆積は、酸化層23の還元後、大気雰囲気に曝されることなく、減圧雰囲気あるいは非酸化性雰囲気に保持したまま行うことが好ましい。

【0077】次に、接続孔17以外の層間絶縁膜16上のタングステン膜18cおよびタングステン膜18aをCMP法により研磨して除去し、金属プラグ18bを形成する(図18)。

【0078】最後に、層間絶縁膜11bおよび配線14の場合と同様に、層間絶縁膜19と、層間絶縁膜19に形成した配線溝21に主導電層20aおよび窒化チタン膜20bからなる配線20を形成して、図1に示す半導体集積回路装置がほぼ完成する。この配線20には、配線14と同様に酸化層が形成されるが、配線14と同様に還元してこれを消失させることができることは言うまでもない。

【0079】本実施の形態1の半導体集積回路装置の製造方法によれば、配線14、20の表面には酸化層が形成されず、また、接続孔17の底面の配線14には酸化層が形成されない。この結果、半導体集積回路装置の所定の機能を確保し、半導体集積回路装置の信頼性と性能を向上することが可能である。

【0080】(実施の形態2)図19は、本発明の他の実施の形態である半導体集積回路装置の製造方法を適用して製造される半導体集積回路装置の一例を示した断面図である。

【0081】本実施の形態2の半導体集積回路装置は、実施の形態1と同様に半導体基板1にn形MISFET

Qnが形成され、その上層の層間絶縁膜11bの配線溝15に第1層配線である配線14を有するまでの構成は実施の形態1と同様である。したがって、その部分の説明は省略する。本実施の形態2の半導体集積回路装置が実施の形態1の半導体集積回路装置と相違する点は、第2層配線が配線用の溝および第1層配線への接続孔を同時に開口された状態から接続部材および配線材を同時に一体として形成し、その後CMP法等により余分な配線材を除去することにより形成されている点である。したがって、以下の説明ではその相違する点についてのみ説明する。

【0082】配線14および層間絶縁膜11bの上面には層間絶縁膜24が形成されている。層間絶縁膜24は、実施の形態1と同様にCVD法またはスパッタ法により形成されたシリコン酸化膜を例示することができる。

【0083】また、層間絶縁膜24には接続孔25および配線溝26が所定の位置に一体で設けられ、その接続孔25および配線溝26内に接続部材および配線材としての導電体である配線27が形成されている。配線27は、接続部材および配線材を同時に一体として形成するものである。

【0084】配線27は、主導電層27aと主導電層27aをメッキ法により形成するためのシード膜27bと窒化チタン膜27cとから構成される。主導電層27aおよびシード膜27bは、たとえば銅を例示することができるが、銀もしくはアルミニウムまたはそれらの合金であってもよい。これら低抵抗率の低い材料を主な導電層とすることにより配線27の微細化に伴う配線抵抗の上昇を抑制することができる。窒化チタン膜27cは、主導電層27aおよびシード膜27bを構成する材料たとえば銅の拡散を防止するブロッキング膜として作用させることができ、窒化チタン膜の他、窒化タンタル膜、窒化タングステン膜、スパッタタングステン膜、あるいはこれらのシリコンとの化合物とすることもできる。

【0085】なお、接続孔25の底部の窒化チタン膜27cと配線14との界面には、配線14を構成するたとえば銅の酸化物である酸化銅は形成されていない。これは実施の形態1と同様に、接続孔25の開口および配線溝26の形成後に接続孔25の底部の配線14の表面に形成された酸化膜を還元して消失させるためであり、これにより、接続孔25でのコンタクト抵抗を低減し、また電気的接続の信頼性を向上することが可能である。この結果、半導体集積回路装置の性能および信頼性を向上することができる。

【0086】また、配線14あるいは配線27の表面には酸化膜が形成されていない。これも実施の形態1と同様に、配線14あるいは配線27のたとえばCMP法による形成後、その表面に生成された酸化膜を還元して消失させるためであり、これにより、配線14あるいは配

線27の抵抗を低減することが可能である。この結果、半導体集積回路装置の性能を向上することができる。

【0087】また、本実施の形態2では、配線層が2層の場合を例示しているが、さらに多層に構成して3層以上の多層配線構造を有する半導体集積回路装置としてもよいことは実施の形態1と同様である。

【0088】次に、上記した半導体集積回路装置の製造方法を図に従って説明する。図20～図23は、本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0089】本実施の形態2の製造方法は、実施の形態1における図13までの工程と同様である。したがって、その部分の説明は省略し、その後の工程について説明する。

【0090】層間絶縁膜11bおよび配線14上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜24を形成する。その後、所定の位置の層間絶縁膜24に、公知のフォトリソグラフィ技術を用いて接続孔25を開口する。さらに、公知のフォトリソグラフィ技術を用いて配線溝26を形成する(図20)。この接続孔25の底部には、接続孔25および配線溝26の形成後にフォトリソグラフィに用いたレジストマスクの除去のためのアッシングにより、あるいは、接続孔25および配線溝26の形成後の大気雰囲気暴露により、実施の形態1と同様に、酸化層28が形成される。この酸化層28は、実施の形態1の酸化層22、23と同様に高抵抗体であり、これをそのまま放置すれば、接続孔25の底部での電気的接続が不良となり、半導体集積回路装置の正常な動作の確保ができず、また、信頼性の低下を来す原因となる。

【0091】したがって、実施の形態1と同様に酸化層28を還元して銅に変化させ、これを消失させる。これにより接続孔25の底部での電気的接続を確保することができる。なお、還元反応は、実施の形態1と同様であるため詳細な説明を省略する。

【0092】このように本実施の形態2では酸化層28を除去することができるため、接続孔25の底部での電気的接続を確実に行うことができ、半導体集積回路装置の正常な動作を確保し、その信頼性と性能を向上することが可能である。しかも、上記酸化層28の除去は、エッチング作用による除去ではなく、酸化層28の還元による銅への変化であり、堆積減少を伴うものではない。このため、このような還元処理を行っても配線14の膜厚が減少することはなく、抵抗値を低減するものではない。また、エッチング作用を伴わないため、接続孔25および配線溝26の形状を変化させることがない。これはより精密な微細加工が要求される今後の技術の要求の方向に合致したものであり、半導体集積回路装置の高集積化を容易にする技術の1つであるという効果もある。さらに、接続孔25および配線溝26の側壁がスパッタ

されて、接続孔25の底部へのスパッタ物の再付着がない。これは、電氣的接続の信頼性を低下させる原因になる可能性があるスパッタによる再付着物を発生しないこととなり、半導体集積回路装置の信頼性をより向上させることができることとなる。

【0093】なお、プラズマエネルギーを印加して酸化層28の酸素を除去する場合には、プラズマの自己バイアスを利用したスパッタ作用を併用することができること、スパッタは、還元により酸化層28を消失させた後にも行うことができることは、実施の形態1と同様である。

【0094】また、酸化層28の還元を行った後に、半導体基板1を加熱し、接続孔25の底部の配線14の銅を流動化して再結晶化させることができることも実施の形態1と同様である。

【0095】次に、半導体基板1の全面に窒化チタン膜27cを堆積し、さらに、主導電層27aと同じ材料のシード膜27bを堆積する(図21)。

【0096】窒化チタン膜27cは、たとえばCVD法あるいはスパッタ法により堆積することができ、シード膜27bは、たとえばスパッタ法またはCVD法により堆積することができる。窒化チタン膜27cの堆積は、後に説明する銅膜の密着性の向上および銅の拡散防止のために行うものである。なお、窒化チタン膜以外に、タンタル等の金属膜であってもよい。また、シード膜27b堆積直前に窒化チタン膜27cの表面をスパッタエッチすることも可能である。このようなスパッタエッチにより、窒化チタン膜27cの表面に吸着した水、酸素分子等を除去し、シード膜27bの接着性を改善することができる。

【0097】シード膜27bは、後に説明する主導電層27aをメッキ法で形成するための結晶成長核となる膜である。

【0098】次に主導電層27aとなる金属、たとえば銅をメッキ法で堆積する(図22)。メッキ法は、電解メッキまたは無電解メッキを例示することができる。本実施の形態2では、メッキ法で主導電層27aを堆積するため、ステップカバレッジに優れ、接続孔25および配線溝26を良好に埋め込むことができる。また、1工程での大量な処理が可能であるため、工程のスループットを向上し、製造コストを低減することが可能である。なお、メッキ法を用いずに、実施の形態1と同様に通常のスパッタ法、蒸着法等を用いてもよいことは言うまでもない。また、無電解メッキの場合にはシード膜27bは特に必要でなく、窒化チタン膜27c上に直接主導電層27aを形成してもよい。

【0099】次に、層間絶縁膜24上の余分な窒化チタン膜27c、シード膜27bおよび主導電層27aを除去し、配線27を形成する(図23)。窒化チタン膜27c、シード膜27bおよび主導電層27aの除去は、

たとえばCMP法を例示することができるが、エッチバック法を用いてもよい。なお、この配線27の形成の際に、たとえばCMP法を用いた場合には、その工程は大気雰囲気で行われるものであり、銅が露出した配線27の表面は大気雰囲気に曝され、酸化される。この結果、配線27の表面に酸化層29が生成される。この酸化層29は、高抵抗体であり、このまま放置した場合には、配線27の抵抗値を増加させる原因となる可能性があるが、実施の形態1と同様にこれを還元して消失させることが可能である。この結果、図19に示すような半導体集積回路装置をほぼ完成することができる。

【0100】本実施の形態2の半導体集積回路装置の製造方法によれば、配線27の表面には酸化層が形成されず、また、接続孔25の底面の配線14には酸化層が形成されない。この結果、半導体集積回路装置の所定の機能を確保し、半導体集積回路装置の信頼性と性能を向上することが可能である。また、本実施の形態2では接続部材として銅を主導電層とする部材を用いているため、接続部材での抵抗値を低減し、半導体集積回路装置の性能を向上することができる。

【0101】(実施の形態3)図24は、本発明のさらに他の実施の形態である半導体集積回路装置の製造方法を適用して製造される半導体集積回路装置の一例を示した断面図である。

【0102】本実施の形態3の半導体集積回路装置は、実施の形態1と同様に半導体基板1にn形MISFET Qnが形成され、その上層の層間絶縁膜11bの配線溝15に第1層配線である配線14を有するまでの構成は実施の形態1と同様である。したがって、その部分の説明は省略する。本実施の形態3の半導体集積回路装置が実施の形態1の半導体集積回路装置と相違する点は、第1配線層である配線14と2層配線との接続を銅を主導電層とするプラグにより形成されている点、および、第2配線層にフォトリソグラフィを用いてパターンニングされた銅配線が用いられている点である。したがって、以下の説明ではその相違する点についてのみ説明する。

【0103】配線14および層間絶縁膜11bの上面には層間絶縁膜30が形成され、層間絶縁膜30に開口した接続孔31には銅を主導電層とする銅プラグ32が形成されている。銅プラグ32は、銅のブロッキング層として作用する窒化チタン膜32bと銅からなる主導電層32aからなる。

【0104】また、層間絶縁膜30および銅プラグ32の上層には銅配線33が形成され、銅配線33を覆う層間絶縁膜34が形成されている。

【0105】層間絶縁膜30、34は、実施の形態1と同様にCVD法またはスパッタ法により形成されたシリコン酸化膜を例示することができる。

【0106】また、接続孔31の底部の配線14と銅プラグ32との界面、銅プラグ32と銅配線33との界

面、および、銅配線33の上面および側面には酸化層が形成されていない。これは実施の形態1、2と同様に、各部材の形成工程後に生成される酸化層を還元して消失させるためであり、これにより、接続孔31でのコンタクト抵抗を低減し、また電氣的接続の信頼性を向上することが可能であり、銅配線33の抵抗値を低減して半導体集積回路装置の性能および信頼性を向上することができる。

【0107】次に、上記した半導体集積回路装置の製造方法を図に従って説明する。図25～図30は、本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【0108】本実施の形態3の製造方法は、実施の形態1における図13までの工程と同様である。したがって、その部分の説明は省略し、その後の工程について説明する。

【0109】層間絶縁膜11bおよび配線14上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜30を形成する。その後、所定の位置の層間絶縁膜30に、公知のフォトリソグラフィ技術を用いて接続孔31を開口する(図25)。この接続孔31の底部には、接続孔31の形成後にフォトリソグラフィに用いたレジストマスクの除去のためのアッシングにより、あるいは、接続孔31の形成後の大気雰囲気による曝露により、実施の形態1と同様に、酸化層35が形成される。この酸化層35は、実施の形態1、2と同様に高抵抗体であり、これをそのまま放置すれば、接続孔31の底部での電氣的接続が不良となり、半導体集積回路装置の正常な動作の確保ができず、また、信頼性の低下を来す原因となる。

【0110】したがって、実施の形態1、2と同様に酸化層35を還元して銅に変化させ、これを消失させる。これにより接続孔31の底部での電氣的接続を確保することができる。なお、還元反応は、実施の形態1、2と同様であるため詳細な説明を省略する。

【0111】このように、このように本実施の形態3では酸化膜を除去することができるため、接続孔31の底部での電氣的接続を確実に行うことができ、半導体集積回路装置の正常な動作を確保し、その信頼性と性能を向上することが可能である。しかも、上記酸化層35の除去は、エッチング作用による除去ではなく、酸化層35の還元による銅への変化であり、堆積減少を伴うものではないこと、接続孔31の形状を変化させないこと、再付着がないことは、実施の形態1、2と同様である。また、プラズマエネルギーを印加する場合にスパッタ作用を併用することができること、スパッタは還元により酸化層35を消失させた後にも行うことができることも、実施の形態1、2と同様である。さらに、酸化層35の還元を行った後に、半導体基板1を加熱し、接続孔31の底部の配線14の銅を流動化して再結晶化させることが

できることも実施の形態1、2と同様である。

【0112】次に、半導体基板1の全面に窒化チタン膜32bを堆積する(図26)。窒化チタン膜32bは、たとえばCVD法あるいはスパッタ法により堆積することができる。窒化チタン膜32bの堆積は、後に説明する銅膜の密着性の向上および銅の拡散防止のために行うものである。なお、窒化チタン膜以外に、タンタル等の金属膜であってもよい。

【0113】次に、たとえば銅からなる主導電層32aを堆積する(図27)。主導電層32aは、通常のスパッタ法、蒸着法、あるいはメッキ法で堆積することができる。

【0114】次に、層間絶縁膜30上の余分な窒化チタン膜32bおよび主導電層32aを除去し、銅プラグ32を形成する(図28)。窒化チタン膜32bおよび主導電層32aの除去は、たとえばCMP法を例示することができるが、エッチバック法を用いてもよい。なお、この銅プラグ32の形成の際に、たとえばCMP法を用いた場合には、その工程は大気雰囲気で行われるものであり、銅が露出した表面は大気雰囲気による曝露され、酸化される。この結果、銅プラグ32の表面に酸化層36が生成される。この酸化層36は、高抵抗体であり、このまま放置した場合には、銅プラグ32と銅配線33との接続抵抗を増加させる原因となる可能性があるが、実施の形態1、2と同様にこれを還元して消失させることが可能である。

【0115】次に、半導体基板1の全面に銅薄膜37を堆積する(図29)。銅薄膜37の堆積は、スパッタ法またはCVD法を用いることができる。なお、銅薄膜37の表面には反射防止膜を設けてもよい。

【0116】次に、銅薄膜37を、公知のフォトリソグラフィおよびエッチング技術を用いてパターンニングし、銅配線33を形成する(図30)。このパターンニングの後、銅配線33が大気に曝露されることにより、その上面および側面に酸化層38が形成されるが、この酸化層38は、上記したように還元により消失させることが可能である。これにより、銅配線33の抵抗値の増加を抑制して半導体集積回路装置の性能を向上することが可能である。

【0117】最後に、層間絶縁膜34を半導体基板1の全面に堆積し、図24に記載の半導体集積回路装置がほぼ完成する。

【0118】本実施の形態3の半導体集積回路装置の製造方法によれば、銅配線33の上面および側面には酸化層が形成されず、また、接続孔31に形成された銅プラグ32の上面および底面には酸化層が形成されない。この結果、半導体集積回路装置の所定の機能を確保し、半導体集積回路装置の信頼性と性能を向上することが可能である。

【0119】(実施の形態4)図31は、本発明の他の

実施の形態である半導体集積回路装置の製造装置の一例を示す概念図である。

【0120】図31(a)は、ロード室39およびアンロード室40を有し、前処理室41、還元処理室42、スパッタエッチ室43、タングステンスパッタ室44、ブランケットタングステンCVD室45を備えた金属膜形成装置であり、各処理室が搬送室46にゲート弁47を介して接続されているものである。

【0121】前処理室41では基板加熱を行うことができ、吸着水分子や吸着酸素の離脱を行うことができる。また、還元処理室42では、水素雰囲気あるいはアンモニア雰囲気下での加熱、プラズマ処理または紫外線照射を行うことができる。また、スパッタエッチ室43は必須ではないが、たとえばアルゴン等の希ガスのプラズマ処理を行うことができる。タングステンスパッタ室44では、実施の形態1で説明したタングステン膜18aを堆積することができ、ブランケットタングステンCVD室45では、実施の形態1で説明したタングステン膜18cを堆積することができる。

【0122】このような半導体集積回路装置の製造装置によれば、ロード室39から搬送室46を介して前処理室41、還元処理室42、スパッタエッチ室43、タングステンスパッタ室44、ブランケットタングステンCVD室45に順次搬送されるため、処理基板を非酸化性雰囲気中に保持することが可能である。このため、実施の形態1での配線14等に生成した酸化層を還元処理室42で消失させた後に、その部分を酸化させることなくタングステン膜18aおよびタングステン膜18cを堆積することができ、高い接続孔での電気的接続信頼性を有する半導体集積回路装置を製造することができる。

【0123】なお、各処理室および搬送室46は、減圧あるいは真空状態とすることが好ましいが、不活性ガス等の非酸化性雰囲気であってもよい。

【0124】また、本実施の形態4では金属プラグ13bを形成する場合の製造装置の例を示したが、実施の形態2、3における銅からなる配線27あるいは銅プラグ32を形成する場合には、タングステンスパッタ室44を窒化チタンのCVD室に、ブランケットタングステンCVD室45を銅のスパッタ室に置き換えることにより実現することができる。なお、バリア層としての窒化チタンに代えて、窒化タンタル、タングステン、窒化タングステン、あるいはこれらのシリサイド膜であってもよい。これらのバリア膜は、CVD法あるいはスパッタ法のいずれの堆積法であってもよい。

【0125】また、図31(b)に示すような複数の処理室48がゲート弁49を介して接続されている装置でも前記のような前処理室41、還元処理室42、スパッタエッチ室43、タングステンスパッタ室44、ブランケットタングステンCVD室45を各処理室48に割り当て、交互に処理を行うことが可能である。

【0126】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0127】たとえば、上記実施の形態1～4では、主にスパッタ法について説明したが、蒸着法、あるいはイオン化スパッタ法に適用してもよい。

【0128】また、主導電層が銅の場合を例示したが、銀あるいはアルミニウムの場合であってもよく、その他酸化により支障の生じる金属または金属化合物を配線あるいは接続部材に用いる場合に本発明を適用することができる。

【0129】また、上記実施の形態4では複数処理室を有する製造装置の例を示したが、単一の処理室で各処理を行うようにしてもよい。

【0130】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0131】(1) Cu等を主導電層とする配線を有する半導体集積回路装置の接続孔部分におけるコンタクト抵抗を低減することができる。

【0132】(2) Cu等を主導電層とする配線を有する半導体集積回路装置の配線抵抗を低減することができる。

【0133】(3) Cu等を主導電層とする配線を有する半導体集積回路装置の動作を確保し、その信頼性の向上を図ること、およびその性能の向上を図ることができる。

【0134】(4) Cu等を主導電層とする配線、あるいは接続孔の形成の際に形成される酸化膜を簡便に除去することができ、それを実現することができる半導体集積回路装置の製造装置を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の製造方法を適用して製造される半導体集積回路装置の一例を示した断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図12】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図13】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図14】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図15】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図16】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図17】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図18】本発明の一実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図19】本発明の他の実施の形態である半導体集積回路装置の製造方法を適用して製造される半導体集積回路装置の一例を示した断面図である。

【図20】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図21】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図22】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

ある。

【図23】本発明の他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図24】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法を適用して製造される半導体集積回路装置の一例を示した断面図である。

【図25】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図26】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図27】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図28】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図29】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図30】本発明のさらに他の実施の形態である半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

【図31】(a)および(b)は、本発明の他の実施の形態である半導体集積回路装置の製造装置の一例を各々示す概念図である。

【符号の説明】

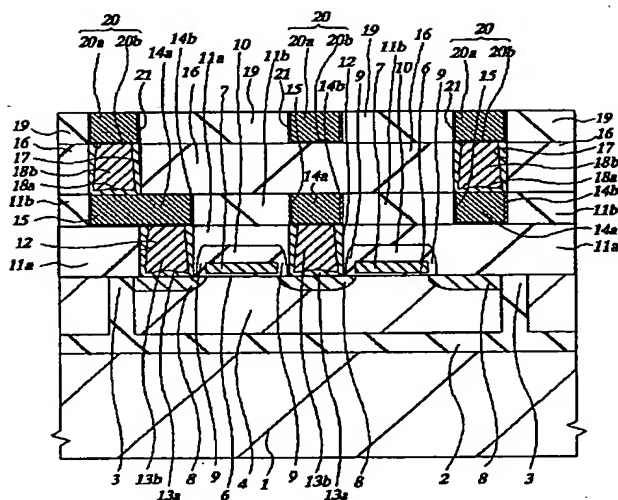
- 1 半導体基板
- 2 SOI絶縁層
- 3 U溝素子分離領域
- 4 pウェル
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 不純物半導体領域
- 9 サイドウォールスペーサ
- 10 キャップ絶縁膜
- 11a 層間絶縁膜
- 11b 層間絶縁膜
- 12 接続孔
- 13 金属プラグ
- 13a タングステン膜
- 13b 金属プラグ
- 13c タングステン膜
- 14 配線
- 14a 主導電層
- 14b 窒化チタン膜
- 15 配線溝
- 16 層間絶縁膜

- 17 接続孔
- 18a タングステン膜
- 18b 金属プラグ
- 18c タングステン膜
- 19 層間絶縁膜
- 20 配線
- 20a 主導電層
- 20b 窒化チタン膜
- 21 配線溝
- 22 酸化層
- 23 酸化層
- 24 層間絶縁膜
- 25 接続孔
- 26 配線溝
- 27 配線
- 27a 主導電層
- 27b シード膜
- 27c 窒化チタン膜
- 28 酸化層
- 29 酸化層
- 30 層間絶縁膜
- 31 接続孔

- 32 銅プラグ
- 32a 主導電層
- 32b 窒化チタン膜
- 33 銅配線
- 34 層間絶縁膜
- 35 酸化層
- 36 酸化層
- 37 銅薄膜
- 38 酸化層
- 39 ロード室
- 40 アンロード室
- 41 前処理室
- 42 還元処理室
- 43 スパッタエッチ室
- 44 タングステンスパッタ室
- 45 ブランケットタングステンCVD室
- 46 搬送室
- 47 ゲート弁
- 48 処理室
- 49 ゲート弁
- Qn n形MISFET

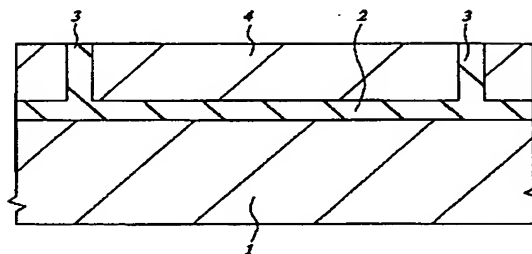
【図1】

図 1



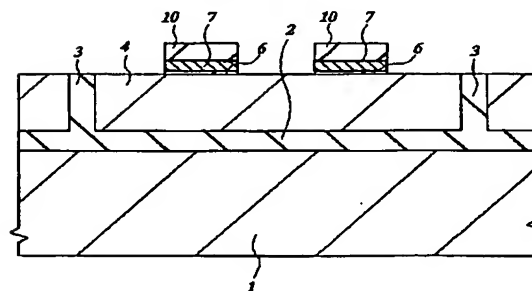
【図2】

図 2

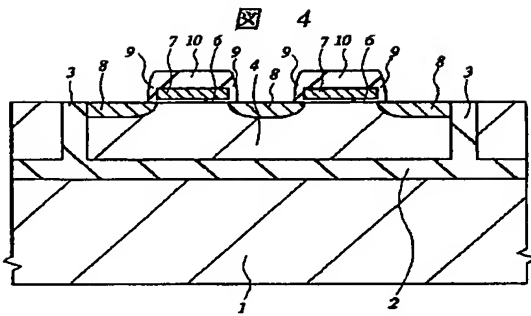


【図3】

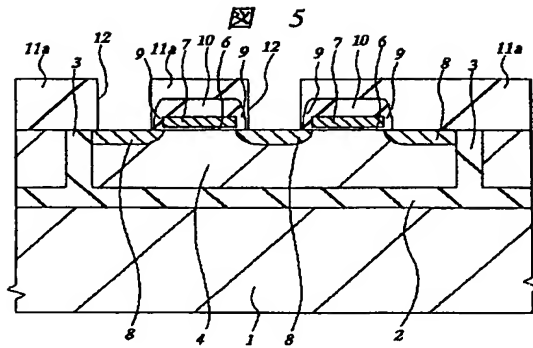
図 3



【図4】

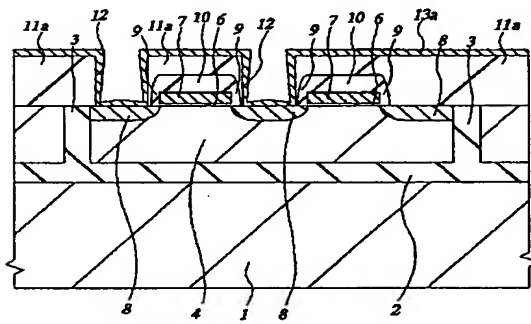


【図5】



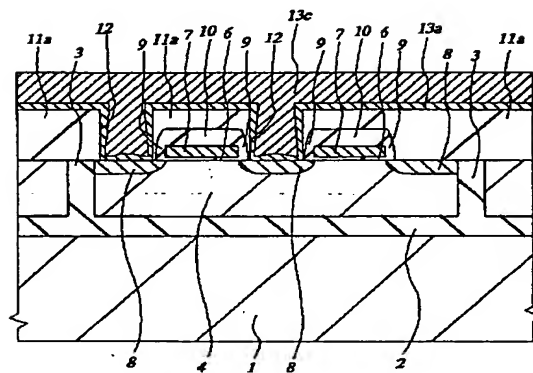
【図6】

図 6



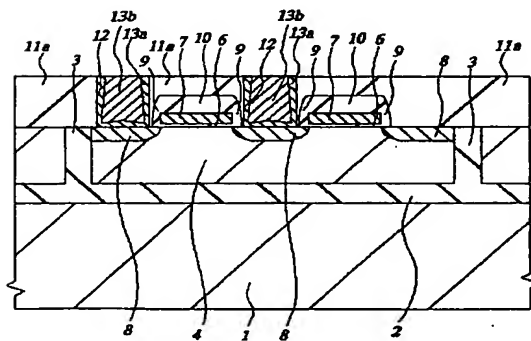
【図7】

図 7



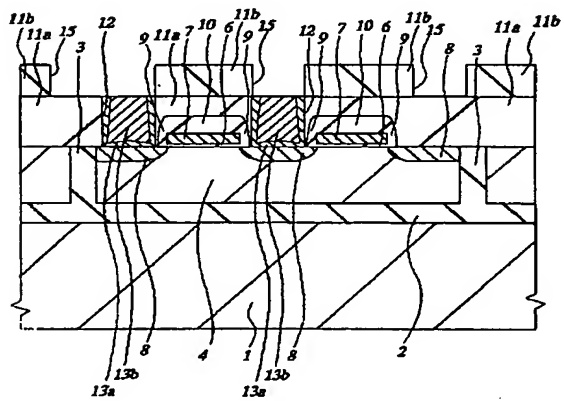
【図8】

図 8



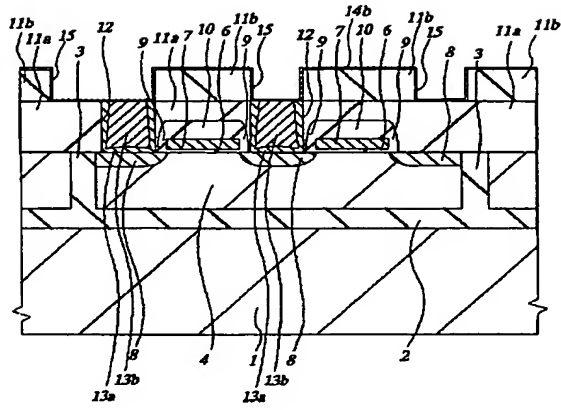
【図9】

図 9



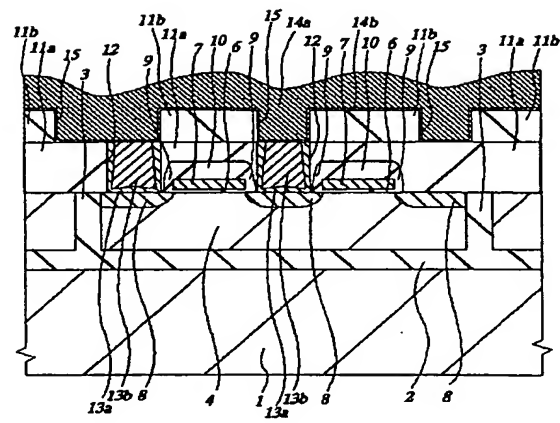
【☒10】

10



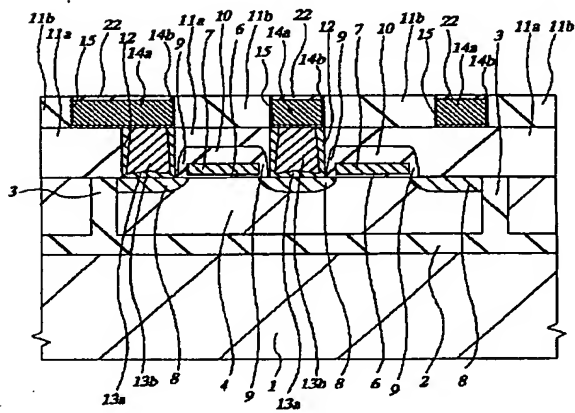
【図 1 1】

11



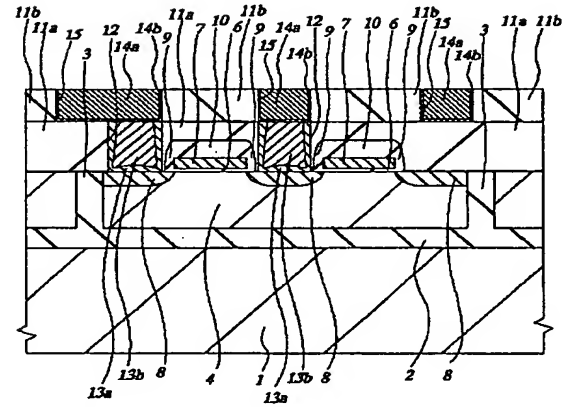
【図12】

图 12



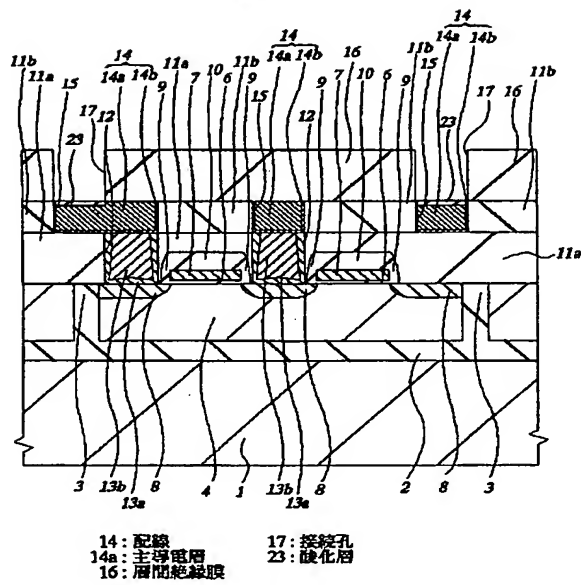
【図13】

13



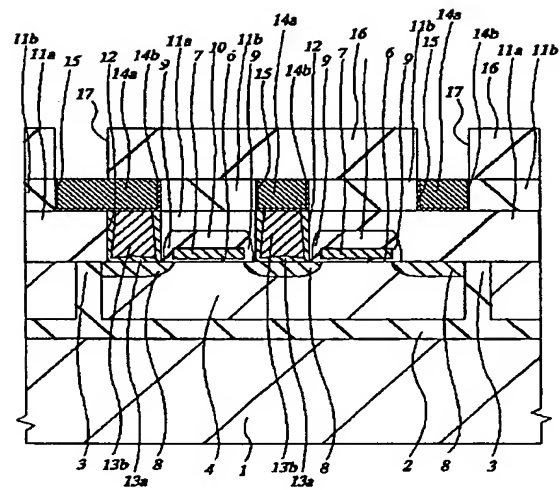
【図14】

図 14



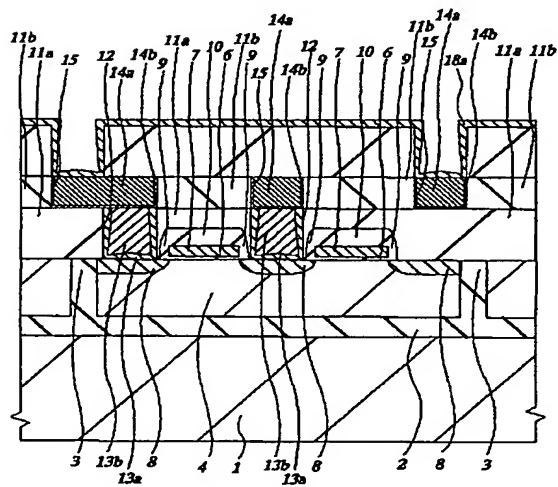
【図15】

図 15



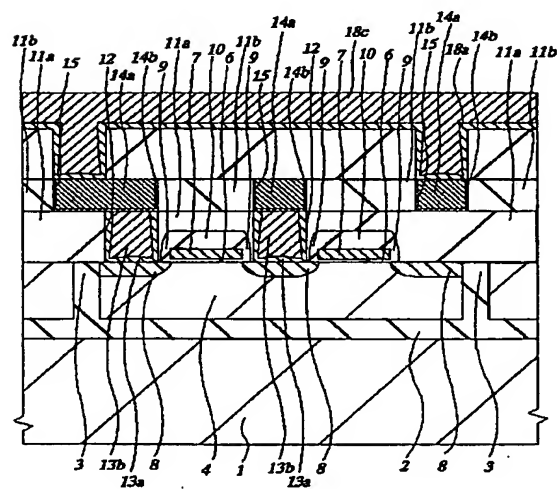
【図16】

図 16



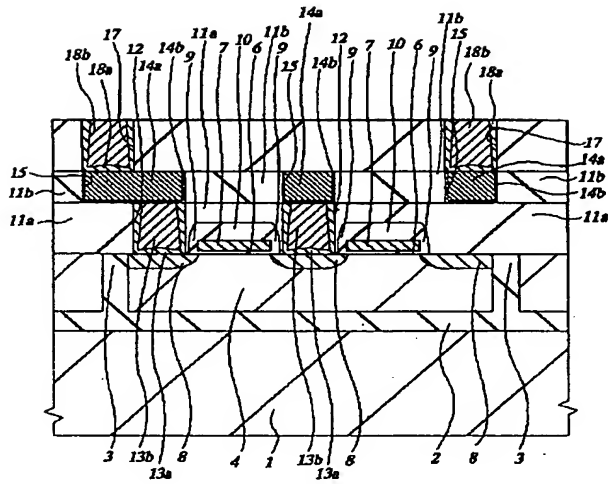
【図17】

図 17



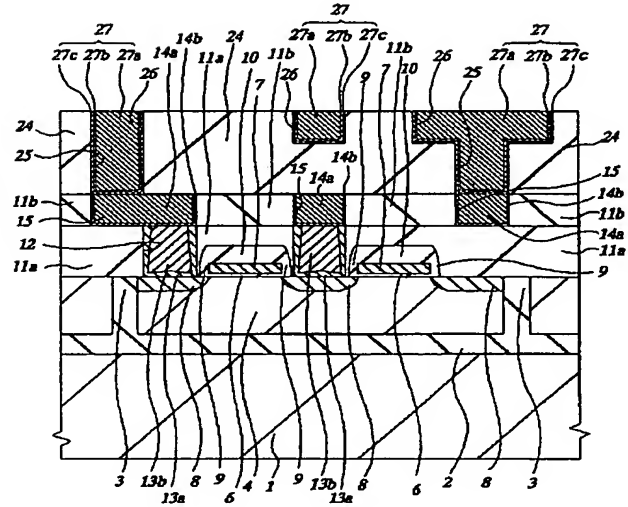
【図18】

図 18



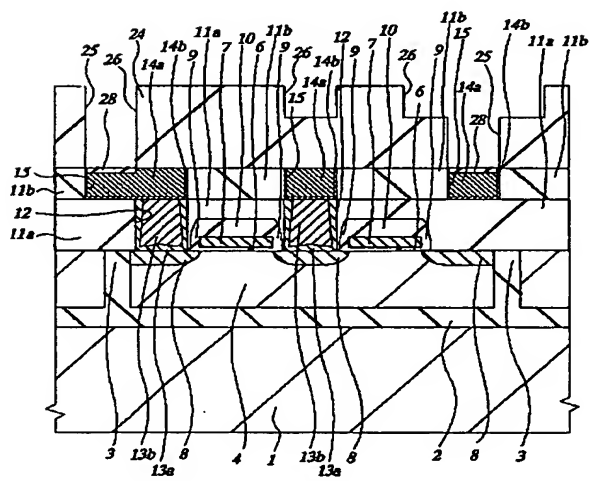
【図19】

図 19



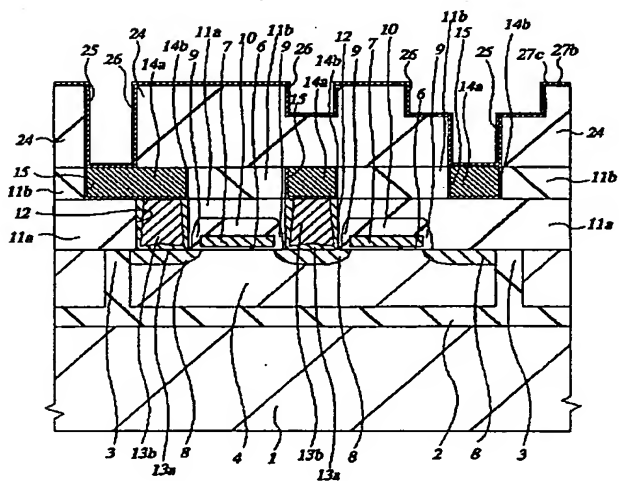
【図20】

図 20



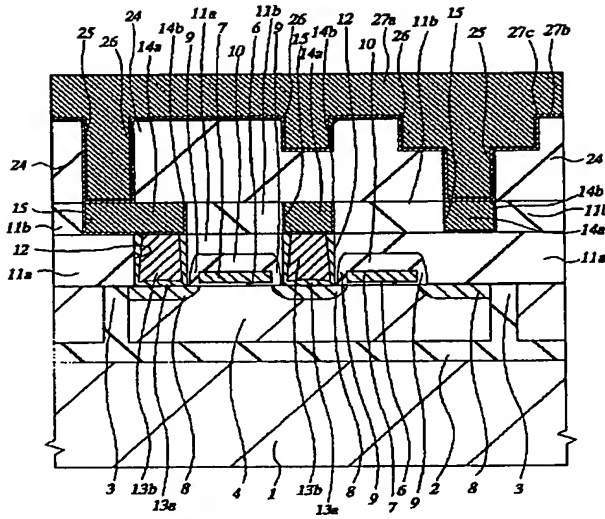
【図21】

図 21



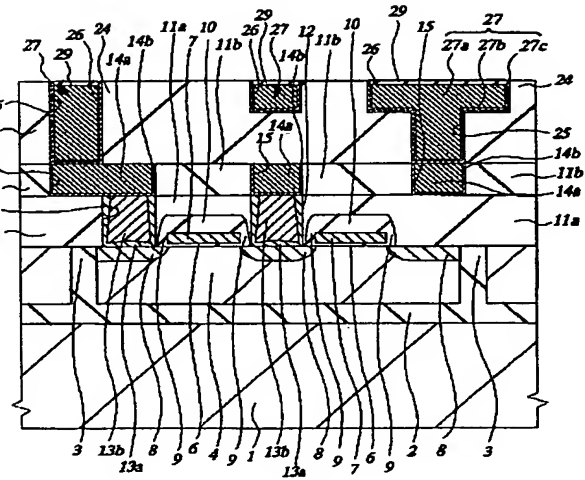
【図22】

図 22



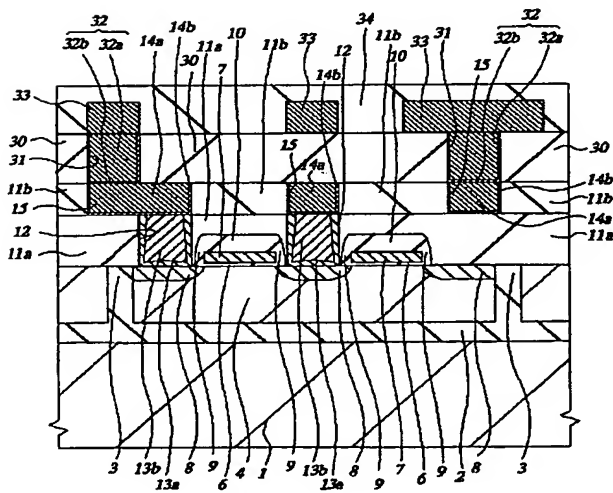
【図23】

図 23



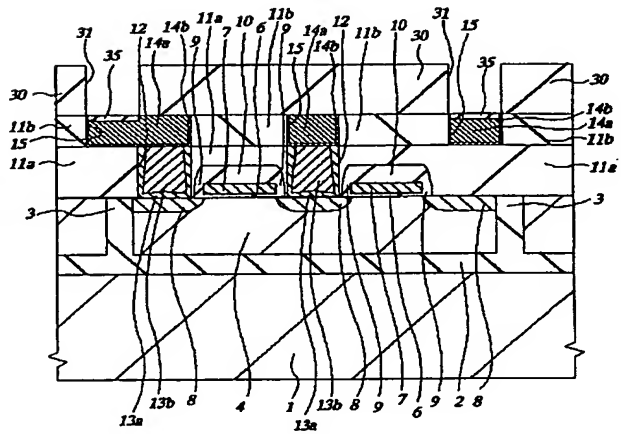
【図24】

図 24



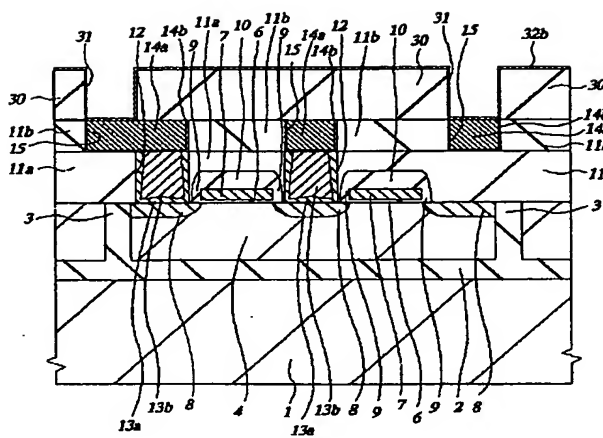
【図25】

図 25



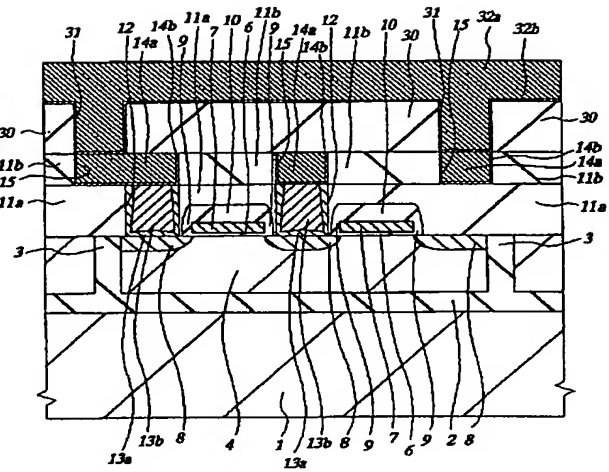
【図26】

図 26



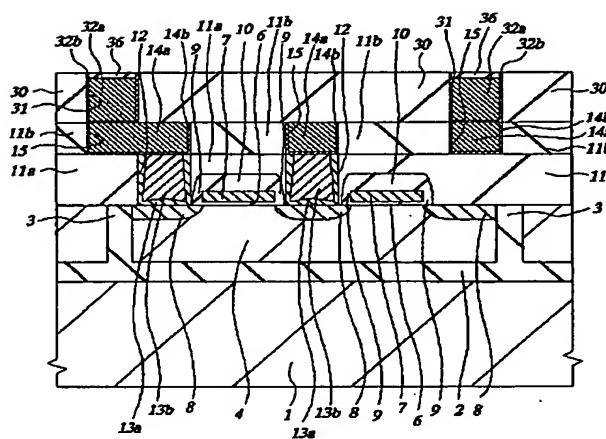
【図27】

図 27



【図28】

図 28



【図29】

図 29

